

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05841069 **Image available**
SYSTEM CONTROLLER AND COMPUTER SYSTEM

PUB. NO.: 10 -124169 [JP 10124169 A]
PUBLISHED: May 15, 1998 (19980515)
INVENTOR(s): TOMIYASU YUICHI
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 08-279526 [JP 96279526]
FILED: October 22, 1996 (19961022)
INTL CLASS: [6] G06F-001/08; G06F-001/32; G06F-015/78
JAPIO CLASS: 45.9 (INFORMATION PROCESSING -- Other); 45.4 (INFORMATION
 PROCESSING -- Computer Applications)
JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &
 Microprocessors)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a system controller which interlocks frequency switching or supply stop of a CPU clock, controls an operational clock of internal another circuit and improves effect of saving the power by not only limiting reduction of the power consumption that accompanies frequency drop to a CPU but also extending it to internal circuits such as an IO controller, etc.

SOLUTION: When a clock controlling part 16 receives a state detection signal (STP-GRT) of stop grant state under the setting of a power save mode flag by a clock signal, it outputs a clock stop control signal (SPXCK), disconnects the supply of a CPU clock to a CPU 11 and also disconnects an operational clock to an ISA bus controlling part 15, a DMA(direct memory access) controller 17, an infrared communication controller 18, a serial I/O controller 19, etc.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-124169

(43)公開日 平成10年(1998) 5月15日

(51)Int.Cl.⁵
G 0 6 F 1/08
1/32
15/78
識別記号
5 1 0

F I
G 0 6 F 1/04 3 2 0 A
15/78 5 1 0 P
1/00 3 3 2 E

審査請求 未請求 請求項の数13 O L (全 11 頁)

(21)出願番号 特願平8-279526

(22)出願日 平成8年(1996)10月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 富安 雄一

東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

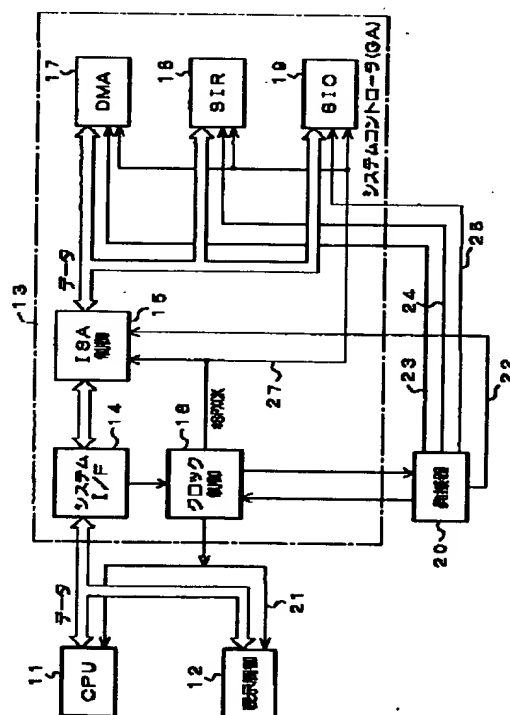
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 システムコントローラ及びコンピュータシステム

(57)【要約】

【課題】本発明は、CPUクロックの周波数切替え又は供給停止に連動して、内部の他の回路の動作クロックを制御し、CPUクロックの周波数低下に伴う消費電力の低減をCPUにとどまらずI/Oコントローラ等の内部回路にも波及させて省電力効果の向上を図ったシステムコントローラを提供することを課題とする。

【解決手段】クロック制御部16は、クロック停止によるパワーセーブモードフラグの設定下に於いて、ストップグラントステートの状態検知信号(STP-GRT)を受けると、クロック停止制御信号(SPXCCK)を出力して、CPU11へのCPUクロックの供給を断つとともに、ISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、シリアルI/Oコントローラ19等への動作クロックの供給を断つ。



【特許請求の範囲】

【請求項1】 CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、

前記CPUクロックの周波数切替えに連動して前記内部クロックの周波数を可変制御するクロック制御手段を具備してなることを特徴とするシステムコントローラ。

【請求項2】 CPUクロック及び内部クロックを供給制御するクロック制御回路とIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、

前記CPUクロックの周波数を切替える指示信号を受け付ける手段と、

前記指示信号に従い前記CPUクロックの周波数を切替える手段と、

前記CPUクロックの周波数切替えに連動して前記IOコントローラへ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備してなることを特徴とするシステムコントローラ。

【請求項3】 CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路とを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの周波数を切替える指示信号を受け付ける手段と、

前記指示信号に従い前記CPUクロックの周波数を切替える手段と、

前記CPUクロックの周波数切替えに連動して前記バス制御回路へ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備してなることを特徴とするシステムコントローラ。

【請求項4】 CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路と複数のIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、

前記CPUクロックの周波数を切替える指示信号を受け付ける手段と、

前記指示信号に従い前記CPUクロックの周波数を切替える手段と、

前記CPUクロックの周波数切替えに連動して前記バス制御回路及び複数のIOコントローラへ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備してなることを特徴とするシステムコントローラ。

【請求項5】 CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、

前記CPUクロックの供給停止に連動して前記内部回路への内部クロックの供給を停止するクロック制御手段を具備してなることを特徴とするシステムコントローラ。

【請求項6】 CPUクロック及び内部クロックを供給制御するクロック制御回路とIOコントローラとを内蔵

した1チップLSI構成のシステムコントローラに於いて、

CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、

前記指示信号に従いCPUクロックの供給を停止制御する手段と、

前記CPUクロックの供給停止に連動して前記IOコントローラへの内部クロックの供給を停止するクロック制御手段とを具備してなることを特徴とするシステムコントローラ。

【請求項7】 CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路とを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、

前記指示信号に従いCPUクロックの供給を停止制御する手段と、

前記CPUクロックの供給停止に連動して前記バス制御回路及び他の内部回路への内部クロックの供給を停止するクロック制御手段とを具備してなることを特徴とするシステムコントローラ。

【請求項8】 CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路と複数のIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、

前記CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、

前記指示信号に従いCPUクロックの供給を停止制御する手段と、

前記CPUクロックの供給停止に連動して前記バス制御回路及び複数のIOコントローラへの内部クロックの供給を停止するクロック制御手段とを具備してなることを特徴とするシステムコントローラ。

【請求項9】 内部クロックを受ける内部回路として、少なくとも、DMAコントローラ、赤外線通信コントローラ、シリアル入出力コントローラのいずれかを設けてなる請求項1、2、3、4、5、6、7、又は8記載のコンピュータシステム。

【請求項10】 CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを設けてなるコンピュータシステムに於いて、

システムの負荷を知る手段と、

前記システムの負荷を知る手段の信号をもとに前記CPUクロックの周波数切替え又は出力停止を前記システムコントローラに通知する手段と、

前記システムコントローラ内に設けられ、前記通知に従いCPUクロックの周波数を切替え、又はCPUクロックの供給を停止する手段と、

前記CPUクロックの周波数を切替え又はCPUクロッ

クの供給停止に連動して前記他の動作クロックを可変又は停止する手段とを具備してなることを特徴とするコンピュータシステム。

【請求項11】 CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを設けてなるコンピュータシステムに於いて、

システムの動作環境を知る手段と、

前記システムの動作環境を知る手段の信号をもとに前記CPUクロックの周波数切替え又は出力停止を前記システムコントローラに通知する手段と、

前記システムコントローラ内に設けられ、前記通知に従いCPUクロックの周波数を切替え、又はCPUクロックの供給を停止する手段と、

前記CPUクロックの周波数を切替え又はCPUクロックの供給停止に連動して前記他の動作クロックを可変又は停止する手段とを具備してなることを特徴とするコンピュータシステム。

【請求項12】 他の動作クロックには、少なくとも、システムコントローラ内部に設けられた、DMAコントローラ、又は赤外線通信コントローラ、又はシリアル入出力コントローラ、又はバス制御回路へ供給される動作クロックが含まれる請求項10又は11記載のコンピュータシステム。

【請求項13】 システムの動作環境を知る手段には、少なくとも、CPUの温度上昇を検知する手段、又はバッテリー駆動時に於けるローバッテリー状態を検知する手段、又は特定モード設定下に於ける動作状態を認識する手段が含まれる請求項11記載のコンピュータシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに係り、特に、パーソナルコンピュータの低消費電力化に寄与できるシステムコントローラに関する。

【0002】又、本発明は、CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを用いて構成されるコンピュータシステムに係り、特にシステム全体の消費電力低減化を図る際に適用して好適なコンピュータシステムに関する。

【0003】

【従来の技術】パーソナルコンピュータシステムに於いては、バッテリー電源による長時間動作を可能にするため、種々の消費電力低減化手段が採られる。その一手段として、CPU負荷の低い状態下に於いて、CPUクロックの周波数を下げて消費電力の低減を図る手段が知られている。

【0004】しかしながら、上記した従来の技術に於いては、消費電力の低減化が、CPUと、そのCPUクロックを用いた(例えば分周した)クロックにより動作する機器のみにとどまり、その他のI/O機器に波及させる低消費電力化手段は存在しなかった。

【0005】このため、従来ではCPUクロックを処理負荷状況に応じて可変しても、そのCPUクロック切替えが他のI/O機器動作に反映されず、従って効率の良い低消費電力化が実現できないという問題があった。

【0006】

【発明が解決しようとする課題】上記したように、従来ではCPUクロックを負荷状況に応じて可変しても、そのCPUクロック切替えが、他のクロックを用いて動作する他のI/O機器に反映されず、従って効率の良い低消費電力化が実現されないという問題があった。

【0007】本発明は上記実情に鑑みなされたもので、CPUクロックの周波数切替え又は供給停止に連動して、内部の他の回路の動作クロックを制御し、CPUクロックの周波数低下に伴う消費電力の低減をCPUにとどまらず内部I/Oコントローラ等の内部回路にも波及させて、より省電力効果の向上を図ったシステムコントローラを提供することを目的とする。

【0008】又、本発明は、システムの負荷又はシステムの動作環境等に応じてCPUクロックを周波数切替え又は出力停止する際に、その状態をI/Oコントローラ等の他の回路に反映させて、システム全体の消費電力低減化を図ったコンピュータシステムを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックの周波数切替え又は供給停止に連動して、内部クロックを可変又は停止制御するクロック制御機能を設けて消費電力の低減化を図ることを特徴とする。

【0010】又、本発明は、コンピュータシステムに於いて、システムの状況等に応じて、CPUクロックを周波数可変又は停止制御するとともに、これに連動して他のクロックを周波数可変又は停止する制御手段を設け、CPUの動作に合わせて他のクロックにより動作するI/O機器の動作をコントロールすることでシステム全体の消費電力を下げることを特徴とする。

【0011】即ち、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの周波数切替えに連動して前記内部クロックの周波数を可変制御するクロック制御手段を具備して、消費電力の低減化を図ることを特徴とする。

【0012】又、本発明は、CPUクロック及び内部ク

ロックを供給制御するクロック制御回路とIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの周波数を切替える指示信号を受け付ける手段と、前記指示信号に従い前記CPUクロックの周波数を切替える手段と、前記CPUクロックの周波数切替えに連動して前記IOコントローラへ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備して、消費電力の低減化を図ることを特徴とする。

【0013】又、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路とを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの周波数を切替える指示信号を受け付ける手段と、前記指示信号に従い前記CPUクロックの周波数を切替える手段と、前記CPUクロックの周波数切替えに連動して前記バス制御回路へ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備して、消費電力の低減化を図ることを特徴とする。

【0014】又、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路と複数のIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの周波数を切替える指示信号を受け付ける手段と、前記指示信号に従い前記CPUクロックの周波数を切替える手段と、前記CPUクロックの周波数切替えに連動して前記バス制御回路及び複数のIOコントローラへ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備して、消費電力の低減化を図ることを特徴とする。

【0015】又、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの供給停止に連動して前記内部回路への内部クロックの供給を停止するクロック制御手段を具備して、消費電力の低減化を図ることを特徴とする。

【0016】又、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路とIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、前記指示信号に従いCPUクロックの供給を停止制御する手段と、前記CPUクロックの供給停止に連動して前記IOコントローラへの内部クロックの供給を停止するクロック制御手段とを具備して、消費電力の低減化を図ることを特徴とする。

【0017】又、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路とを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、前記指示信号に従いC

PUクロックの供給を停止制御する手段と、前記CPUクロックの供給停止に連動して前記バス制御回路及び他の内部回路への内部クロックの供給を停止するクロック制御手段とを具備して、消費電力の低減化を図ることを特徴とする。

【0018】又、本発明は、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路と複数のIOコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、前記指示信号に従いCPUクロックの供給を停止制御する手段と、前記CPUクロックの供給停止に連動して前記バス制御回路及び複数のIOコントローラへの内部クロックの供給を停止するクロック制御手段とを具備して、消費電力の低減化を図ることを特徴とする。

【0019】又、本発明は、上記各システムコントローラに於いて、内部クロックを受ける内部回路として、少なくとも、DMAコントローラ、赤外線通信コントローラ、シリアル入出力コントローラのいずれかを設けてなることを特徴とする。

【0020】又、本発明は、CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを設けてなるコンピュータシステムに於いて、システムの負荷を知る手段と、前記システムの負荷を知る手段の信号をもとに前記CPUクロックの周波数切替え又は出力停止を前記システムコントローラに通知する手段と、前記システムコントローラ内に設けられ、前記通知に従いCPUクロックの周波数を切替え、又はCPUクロックの供給を停止する手段と、前記CPUクロックの周波数を切替え又はCPUクロックの供給停止に連動して前記他の動作クロックを可変又は停止する手段とを具備して、システム全体の消費電力低減化を図ることを特徴とする。

【0021】又、本発明は、CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを設けてなるコンピュータシステムに於いて、例えばCPUの温度上昇、バッテリ駆動時に於けるローバッテリ状態等のシステムの動作環境を知る手段と、前記システムの動作環境を知る手段の信号をもとに前記CPUクロックの周波数切替え又は出力停止を前記システムコントローラに通知する手段と、前記システムコントローラ内に設けられ、前記通知に従いCPUクロックの周波数を切替え、又はCPUクロックの供給を停止する手段と、前記CPUクロックの周波数切替え又は供給停止に連動して前記他の動作クロックを可変又は停止する手段とを具備して、CPUのクロック周波数切替えに伴う省電力化に加えて、前記他の動作クロックを受ける、例えばシステムコントローラ内部のDMAコントローラ、赤外線通信コントローラ、シリアル入出力コントローラ、バス制御回路等の内部回路の省電

力化を図り、よってシステム全体の消費電力低減化を図ることを特徴とする。

【0022】

【発明の実施の形態】以下図面を参照して本発明の実施形態を説明する。図1は本発明の実施形態による要部の構成を示すブロック図である。図1に於いて、11はシステム全体の制御を司るCPU、12はこのCPU11にシステムバスを介して接続された表示制御部、13は同じく上記CPU11にシステムバスを介して接続された1チップLSI (GA) 構成のシステムコントローラである。

【0023】14乃至19はそれぞれ上記システムコントローラ13の内部構成要素をなすもので、14はCPU11と内部のバスの中で各種のデータを授受するシステムインタフェース部14、15は各種IOのISAバス上に於けるデータ転送制御を司るISAバス制御部である。

【0024】16はCPU11、表示制御部12、及び内部のISAバス制御部15、各種IOコントローラにそれぞれ動作のクロックを供給制御するクロック制御部であり、CPU11の制御の下にシステムコントローラ13の外部に設けた発振器20を制御して、周波数が可変可能なCPUクロックをCPU11に供給制御し、表示制御クロックを表示制御部12に供給制御し、更に、内部回路動作のクロックをチップ内部に設けられたISAバス制御部15、及びDMAコントローラ17、赤外線通信コントローラ(SIR)18、シリアルI/Oコントローラ(SIO)19等の各種IOコントローラに供給制御する。

【0025】このクロック制御部16には、CPUクロックの周波数切替え又は供給停止に連動して、システムコントローラ13内部のISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ(SIR)18、及びシリアルI/Oコントローラ19(SIO)等へ供給されるクロックを周波数可変制御又は供給停止制御する機能回路が含まれるもので、その具体的な構成については図2乃至図4を参照して後述する。

【0026】17乃至19はそれぞれシステムコントローラ13内に設けられたIOコントローラであり、CPUクロックの周波数切替え又は供給停止に連動してそれぞれ動作クロックが可変又は停止制御される。このうち、17はDMA (Direct Memory Access) 制御を司るDMAコントローラ、18は赤外線通信ポートを介して外部機器との間でIrDAインタフェースにより赤外線通信を行なう赤外線通信コントローラ(SIR)、19はシリアル入出力インタフェースをもつ外部IO機器との間でデータを授受するシリアルI/Oコントローラ(SIO)である。

【0027】20はCPUクロックを含む各種クロックのクロック発生源となる発振器であり、ここではCPU

11に供給されるCPUクロック、及び表示制御部12に供給される表示制御クロックと、システムコントローラ13内に設けられた、ISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19等に供給される各動作クロックとを生成し出力する。

【0028】21はクロック制御部16から出力制御されるCPUクロック及び表示制御クロックをCPU11及び表示制御部12に転送するクロック信号路である。22乃至25はISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19等へそれぞれ固有の動作クロックを転送するクロック信号路である。

【0029】26はシステムコントローラ13内に設けられた、ISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19等へのクロックの入力を選択的に停止するためのクロック停止制御信号(*SPXCK)が転送されるクロック停止制御信号路である。このクロック停止制御信号(*SPXCK)は後述する図3及び図4に示すクロック停止制御信号(SPXCK)の反転出力である。

【0030】この際のクロック停止制御信号路26上に出力されるクロック停止制御信号(SPXCK)の具体的な生成回路は図2に示され、その各部信号タイミングは図3に示され、上記クロック停止制御信号(SPXCK)により開閉制御されるクロック制御回路は図4に示される。

【0031】図2はクロック制御部16の内部の回路構成を示すブロック図であり、図3は図2に示すクロック制御部16の各部の信号タイミングを示すタイムチャート、図4は図3に示すクロック停止制御信号(SPXCK)を用いたクロック制御回路の構成を示す図である。

【0032】図中、STP-CLK-ENは、CPU11の負荷軽減に伴いOSを発生源としてCPU11より出力されるストップクロックイネーブル信号である。IRは例えばパワースイッチのオン/オフ、PCカードの挿抜等に伴い発生される、ストップグラントステート解除のための割り込み信号である。

【0033】RSは例えばリセット釦操作等に伴い発生される、ストップグラントステート解除のためのリセット信号である。STP-GR-Tはストップグラントステートの状態検知信号である。

【0034】CLK-STPはOSの管理下にある、クロック停止によるパワーセーブモードフラグの設定に従い出力されるクロック停止信号である。又、クロック制御部16より出力される信号(STPCKZ, SPXCK)のうち、STPCKZはストップグラントステートへの状態移行をCPU11に知らせるためのストップグラント制御信号であり、SPXCKは、ISAバス制御

部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19の各動作クロックを供給停止するためのクロック停止制御信号である。

【0035】31はストップグラント制御のためのフリップフロップ(FF1)33をセットするための信号を出力するアンドゲートであり、パワーセーブ状態を解除するための信号を出力するオアゲート32の出力が

“0”であるとき(パワーセーブ状態を解除するための信号が出力されていないとき)、ストップクロックイネーブル信号(STP-CLK-EN)をストップグラント制御のためのフリップフロップ(FF1)33のセット側入力端に供給し当該フリップフロップ(FF1)33をセット状態にする。

【0036】32はパワーセーブ状態を解除するための信号を出力するオアゲートであり、ストップグラントステート解除のための割り込み信号(IR)、又はリセット鉤操作等により生成されるリセット信号(RS)をブレークイベント信号(BEV)として出力するもので、

アンドゲート31、34を開閉制御し、ストップグラント解除のためのクロック安定化時間を確保するカウンタ(CTR)35をリセット制御する。

【0037】33はストップグラント制御のためのフリップフロップ(FF1)であり、上記アンドゲート31の出力(“1”)によりセットされ、ストップグラント解除のためのクロック安定化時間を確保するカウンタ(CTR)35のカウント終了信号(END)によりリセットされる。

【0038】34はカウンタ35を起動するためのカウントイネーブル信号を出力するアンドゲートであり、ストップグラント制御のためのフリップフロップ(FF1)33のセット側出力端信号と、パワーセーブ状態を解除するための信号を出力するオアゲート32の出力信号と、ストップグラントステートの状態検知信号(STP-GR T)とをともにカウンタ35を起動制御する。

【0039】35はストップグラント解除のためのクロック安定化時間を確保するカウンタ(CTR)であり、上記アンドゲート34の出力(“1”)により起動され、クロック安定化に必要な時間を確保するためのカウントを終了した後、カウント終了信号(END)を出力する。

【0040】36は上記ストップグラント制御のためのフリップフロップ(FF1)33のセット側出力端信号を反転して、ストップグラントステートへの状態移行をCPU11に知らせるためのストップグラント制御信号(STPCKZ)を出力するインバータである。

【0041】37はクロック停止制御のためのフリップフロップ(FF2)38のセット信号を出力するアンドゲートであり、ストップグラントステートの状態検知信号(STP-GR T)とクロック停止信号(CLK-S

TP)とを受けたときフリップフロップ(FF2)38をセットする。

【0042】38はクロック停止制御のためのフリップフロップ(FF2)38であり、上記アンドゲート37の出力(“1”)によりセットされてクロック停止制御信号(SPXC K)を出力し、オアゲート32より出力されるブレークイベント信号(BEV)によりリセットされる。

【0043】このフリップフロップ(FF2)38より出力されるクロック停止制御信号(SPXC K)により、システムコントローラ13内のISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ(SIR)18、及びシリアルI/Oコントローラ19(SIO)等に入力されるクロックを停止制御するクロック制御回路の回路構成例を図4に示している。

【0044】ここでは、上記クロック停止制御信号(SPXC K)が“1”となったとき、即ちインバータ47を経たクロック停止制御信号(*SPXC K)が“0”となったとき、クロック制御部16内に設けられたクロック出力制御ゲート41、及びISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19の各クロック入力端に設けられたクロック出力制御ゲート42~45がそれぞれ閉じられて、CPU11へのCPUクロック(CPU_CLK)の供給が断たれるとともに、ISAバス制御部15へのバス制御クロック(ISA_CLK)の供給、DMAコントローラ17への動作クロック(DMA_CLK)の供給、赤外線通信コントローラ18への動作クロック(SIR_CLK)の供給、シリアルI/Oコントローラ19への動作クロック(SIO_CLK)の供給がそれぞれ断たれる。

【0045】尚、図中、XCLK、CK8M、CK143M、CK184Mはそれぞれクロック制御部16より出力されるクロック信号である。又、46はバス制御クロック(ISA_CLK)となるクロック(CK8M)を二分周してDMA動作クロック(DMA_CLK)を生成するフリップフロップである。

【0046】ここで上記各図を参照して本発明の実施形態に於ける動作を説明する。先ずCPUクロックの周波数低減によるパワーセーブ動作について説明する。このCPUクロックの周波数低減によるパワーセーブモード下に於いては、図2に示すクロック停止信号(CLK-STP)が“0”となっており、従ってアンドゲート37が閉じた状態にあり、クロック停止制御のためのフリップフロップ(FF2)28がリセット状態となっていて、クロック制御部16からクロック停止制御信号(SPXC K)は出力されない。

【0047】従ってこの状態下(クロック停止制御信号(SPXC K)が出力されない状態)に於いては、CPUクロックの周波数低減によるパワーセーブ動作が有効

となる。

【0048】クロック制御部16は、システムインタフェース部14を介してCPU11より、図3(a)に示すストップクロックイネーブル信号(STP-CLK-EN)を受けると、ストップグラントステートへの状態移行をCPU11に知らせるための図3(b)に示すストップグラント制御信号(STPCKZ)を出力する。

【0049】このストップグラント制御信号(STPCKZ)によりCPU11がストップグラントステートの状態に移行して、図3(c)に示すストップグラントステートの状態検知信号(STP-GRT)がクロック制御部16に入力されると、クロック制御部16は、外部の発振器20に、図4に示すクロックの周波数を落とす指示を与える。

【0050】発振器20はクロック制御部16よりクロック周波数を落とす指示を受けると、CPUクロック(CPU_CLK)の生成源となるクロック(XCLK)の周波数を予め定められたパワーセーブモードの周波数まで下げ、更にこれに連動して、クロック制御部16内のISAバス制御部15へ供給されるバス制御クロック(ISA_CLK)、及びDMAコントローラ17へ供給される動作クロック(DMA_CLK)の各生成源となるクロック(CK8M)、赤外線通信コントローラ18へ供給される動作クロック(SIR_CLK)の生成源となるクロック(CK143M)、及びシリアルI/Oコントローラ19へ供給される動作クロック(SIO_CLK)の生成源となるクロック(CK184M)をそれぞれパワーセーブモードの周波数まで下げる。

【0051】これにより、CPU11へ供給されるCPUクロック(CPU_CLK)が予め定められたパワーセーブモードの周波数まで下げられ、これに連動して、ISAバス制御部15へ供給されるバス制御クロック(ISA_CLK)、DMAコントローラ17へ供給される動作クロック(DMA_CLK)、赤外線通信コントローラ18へ供給される動作クロック(SIR_CLK)、及びシリアルI/Oコントローラ19へ供給される動作クロック(SIO_CLK)がそれぞれ上記パワーセーブモードの周波数まで下げられて、CPU11及びクロック制御部16内の各制御モジュールがそれぞれクロック周波数を低減したパワーセーブモードで動作する。

【0052】このパワーセーブモード下に於いて、ストップグラントステート解除のための割り込み信号(IR)、又はリセット信号(RS)の発生に伴い、図3(e)に示すストップグラント解除のためのクロック安定化時間を確保するブレイクイベント信号(BEV)が出力されると、ストップグラント解除のためのクロック安定化時間を経て、図3(b)に示すストップグラント制御信号(STPCKZ)が解除され、これに伴いパワ

ーセーブモードが解除されて、システムが通常動作に復帰する。

【0053】この際のクロック制御部16に於ける各部の動作を図2乃至図4を参照して説明する。ストップグラント制御のためのフリップフロップ(F1)33は、アンドゲート31を介して図3(a)に示すストップクロックイネーブル信号(STP-CLK-EN)を受けるとセット状態となり、インバータ36よりストップグラントステートへの状態移行をCPU11に知らせるための図3(b)に示すストップグラント制御信号(STPCKZ)が出力される。

【0054】このストップグラント制御信号(STPCKZ)がCPU11に送られた後、CPU11がストップグラントステートの状態に移行して、CPU11より図3(c)に示すストップグラントステートの状態検知信号(STP-GRT)が入力されると、外部の発振器20にクロック周波数を落とす指示を与えて、上記したようなクロック周波数の切り替えが実行される。即ち、CPU11へ供給されるCPUクロック(CPU_CLK)が予め定められたパワーセーブモードの周波数まで下げられ、これに連動して、ISAバス制御部15へ供給されるバス制御クロック(ISA_CLK)、DMAコントローラ17へ供給される動作クロック(DMA_CLK)、赤外線通信コントローラ18へ供給される動作クロック(SIR_CLK)、及びシリアルI/Oコントローラ19へ供給される動作クロック(SIO_CLK)がそれぞれ上記パワーセーブモードの周波数まで下げられて、CPU11及びクロック制御部16内の各制御モジュールがそれぞれクロック周波数を低減したパワーセーブモードで動作する。

【0055】このパワーセーブモード下に於いて、例えばパワースイッチのオン/オフ操作、PCカードの挿抜操作等に伴うストップグラントステート解除のための割り込み信号(IR)、又はリセット釦操作等に伴うストップグラントステート解除のためのリセット信号(RS)が発生すると、この信号をもとにオアゲート22よりパワーセーブ状態を解除するための図3(e)に示すブレイクイベント信号(BEV)が出力される。

【0056】このブレイクイベント信号(BEV)により、アンドゲート34よりカウンタ35を起動するためのカウントイネーブル信号が出力され、カウンタ35が起動されて、ストップグラント解除のためのクロック安定化時間を経てカウンタ35よりカウント終了信号(END)が出力される。

【0057】更にこのカウント終了信号(END)によりストップグラント制御のためのフリップフロップ(F1)33がリセットされ、図3(b)に示すストップグラント制御信号(STPCKZ)が解除("0"→"1")されて、システムが通常動作に復帰する。

【0058】このようにして、CPUクロックの周波数

低減によるパワーセーブ動作が実行される。次に、CPUクロックの停止によるパワーセーブ動作について説明する。

【0059】このCPUクロックの停止によるパワーセーブモード下に於いては、図2に示すクロック停止信号(CLK-STP)が“1”となっており、従ってストップグラントステートの状態検知信号(STP-GR T)が入力されると、アンドゲート37の出力 (“1”)によりクロック停止制御のためのフリップフロップ(F F2)28がセット状態となって、クロック停止制御信号(SPXC K)が出力され、CPUクロックの停止によるパワーセーブ動作が有効となる。

【0060】この際のクロック制御部16に於ける各部の動作を図2乃至図4を参照して説明する。ストップグラント制御のためのフリップフロップ(F F1)33は、アンドゲート31を介して図3(a)に示すストップクロックイネーブル信号(STP-CLK-EN)を受けるとセット状態となり、インバータ36よりストップグラントステートへの状態移行をCPU11に知らせるための図3(b)に示すストップグラント制御信号(STPCKZ)が出力される。

【0061】このストップグラント制御信号(STPCKZ)がCPU11に送られた後、CPU11がストップグラントステートの状態に移行して、CPU11より図3(c)に示すストップグラントステートの状態検知信号(STP-GR T)が入力されると、アンドゲート37の出力 (“1”)によりクロック停止制御のためのフリップフロップ(F F2)28がセット状態となって、クロック停止制御信号(SPXC K)が出力される。

【0062】この、クロック停止制御信号(SPXC K)は図4に示すインバータ47で反転された後に、クロック停止制御信号(*SPXC K)として、クロック制御部16内に設けられたクロック出力制御ゲート41、及びISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19の各クロック入力端に設けられたクロック出力制御ゲート42~45に入力されて、これらの各ゲートを閉じる。

【0063】これにより、CPU11へのCPUクロック(CPU_CLK)の供給が断たれるとともに、ISAバス制御部15へのバス制御クロック(ISA_CLK)の供給、DMAコントローラ17への動作クロック(DMA_CLK)の供給、赤外線通信コントローラ18への動作クロック(SIR_CLK)の供給、シリアルI/Oコントローラ19への動作クロック(SIO_CLK)の供給がそれぞれ断たれ、CPUクロックの停止によるパワーセーブが実行される。

【0064】このパワーセーブモード下に於いて、例えばパワースイッチのオン/オフ操作、PCカードの挿抜

操作等に伴うストップグラントステート解除のための割り込み信号(IR)、又はリセット鉤操作等に伴うストップグラントステート解除のためのリセット信号(R S)が発生すると、この信号をもとにオアゲート22よりパワーセーブ状態を解除するための図3(e)に示すブレーキイベント信号(BEV)が出力される。

【0065】このブレーキイベント信号(BEV)により、アンドゲート34よりカウンタ35を起動するためのカウントイネーブル信号が出力され、カウンタ35が起動されて、ストップグラント解除のためのクロック安定化時間を経てカウンタ35よりカウント終了信号(END)が出力される。

【0066】更にこのカウント終了信号(END)によりストップグラント制御のためのフリップフロップ(F F1)33がリセットされ、図3(b)に示すストップグラント制御信号(STPCKZ)が解除 (“0”→ “1”)されて、システムが通常動作に復帰する。

【0067】このようにして、CPUクロックの停止によるパワーセーブ動作が実行される。上記した各パワーセーブ機能をもつことにより、システムコントローラ13に於いて、効率よくI/O機器の消費電力を下げることで、システムコントローラ全体の省電力化が可能となる。又、上記した本発明の実施形態によるパワーセーブ機能をバッテリー動作可能な携帯型のコンピュータシステムに適用することにより、バッテリー駆動による、より長時間稼働を可能にしたコンピュータシステムが容易に実現できる。

【0068】尚、上記した実施形態に於いては、内部に、ISAバス制御部15、DMAコントローラ17、赤外線通信コントローラ18、及びシリアルI/Oコントローラ19を設けたシステムコントローラ13を例に採ったが、上記した以外の動作クロックを必要とする、I/O、又は他の機能回路をもつ構成、又は少なくとも一つの上記したI/Oコントローラをもつ構成等であっても容易に本発明を適用できる。又、図2、図3に示す論理回路構成、並びに図4に示す信号レベル等も上記実施形態に限らず、他の論理構成であっても本発明を実現できる。

【0069】

【発明の効果】以上詳記したように本発明によれば、システムコントローラに於いて、CPUクロックの周波数切替え又は供給停止に連動し内部の他の回路の動作クロックを制御する機能回路を設けて、CPUクロックの周波数低下に伴う消費電力の低減をCPUにとどまらず内部I/Oコントローラ等の内部回路にも波及させる構成としたことにより、より省電力効果の向上が図れる低消費電力のシステムコントローラが提供できる。

【0070】又、本発明は、システムコンピュータに於いて、システムの負荷又はシステムの動作環境等に応じてCPUクロックを周波数切替え又は出力停止する際

に、その状態をI/Oコントローラ等の他の回路に反映させる構成としたことにより、システム全体の消費電力をより低減できる。

【0071】即ち、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックの周波数切替えに連動して内部クロックの周波数を可変制御するクロック制御手段を具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

【0072】又、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路とI/Oコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックの周波数を切替える指示信号を受け付ける手段と、前記指示信号に従い前記CPUクロックの周波数を切替える手段と、前記CPUクロックの周波数切替えに連動して前記I/Oコントローラへ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

【0073】又、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路とを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックの周波数を切替える指示信号を受け付ける手段と、前記指示信号に従い前記CPUクロックの周波数を切替える手段と、CPUクロックの周波数切替えに連動して前記バス制御回路へ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

【0074】又、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路と複数のI/Oコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックの周波数を切替える指示信号を受け付ける手段と、指示信号に従い前記CPUクロックの周波数を切替える手段と、CPUクロックの周波数切替えに連動して前記バス制御回路及び複数のI/Oコントローラへ供給される内部クロックの周波数を可変制御するクロック制御手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

【0075】又、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路を内蔵した1チップLSI構成のシステムコントローラに於いて、前記CPUクロックの供給停止に連動して前記内部回路への内部クロックの供給を停止するクロック制御手段を具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

【0076】又、本発明によれば、CPUクロック及び

内部クロックを供給制御するクロック制御回路とI/Oコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、指示信号に従いCPUクロックの供給を停止制御する手段と、CPUクロックの供給停止に連動して前記I/Oコントローラへの内部クロックの供給を停止するクロック制御手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

10 【0077】又、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路とを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、指示信号に従いCPUクロックの供給を停止制御する手段と、CPUクロックの供給停止に連動して前記バス制御回路及び他の内部回路への内部クロックの供給を停止するクロック制御手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

20 【0078】又、本発明によれば、CPUクロック及び内部クロックを供給制御するクロック制御回路とバス制御回路と複数のI/Oコントローラとを内蔵した1チップLSI構成のシステムコントローラに於いて、CPUクロックを一時的に供給停止する指示信号を受け付ける手段と、指示信号に従いCPUクロックの供給を停止制御する手段と、CPUクロックの供給停止に連動して前記バス制御回路及び複数のI/Oコントローラへの内部クロックの供給を停止するクロック制御手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

30 【0079】又、本発明によれば、CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを設けてなるコンピュータシステムに於いて、システムの負荷を知る手段と、このシステムの負荷を知る手段の信号をもとに前記CPUクロックの周波数切替え又は出力停止を前記システムコントローラに通知する手段と、前記システムコントローラ内に設けられ前記通知に従いCPUクロックの周波数を切替え、又はCPUクロックの供給を停止する手段と、前記CPUクロックの周波数を切替え又はCPUクロックの供給停止に連動して前記他の動作クロックを可変又は停止する手段とを具備してなる構成としたことにより、消費電力を低減してシステムをより効率よく動作できる。

40 【0080】又、本発明によれば、CPUクロック及び他の動作クロックを供給制御するクロック制御回路を内蔵したシステムコントローラを設けてなるコンピュータシステムに於いて、例えばCPUの温度上昇、バッテリ駆動時に於けるローバッテリ状態等のシステムの動作環境を知る手段と、前記システムの動作環境を知る手

段の信号をもとに前記CPUクロックの周波数切替え又は出力停止を前記システムコントローラに通知する手段と、前記システムコントローラ内に設けられ、前記通知に従いCPUクロックの周波数を切替え、又はCPUクロックの供給を停止する手段と、前記CPUクロックの周波数切替え又は供給停止に連動して前記他の動作クロックを可変又は停止する手段とを具備してなる構成としたことにより、CPUのクロック周波数切替えに伴う省電力化に加えて、前記他の動作クロックを受ける、例えばシステムコントローラ内部のDMAコントローラ、赤外線通信コントローラ、シリアル入出力コントローラ、バス制御回路等の内部回路の省電力化が図れ、よってシステム全体の消費電力を大幅に低減できる。

【図面の簡単な説明】

【図1】本発明の実施形態による要部の構成を示すブロック図。

【図2】上記実施形態に於けるクロック制御部の内部の回路構成を示すブロック図。

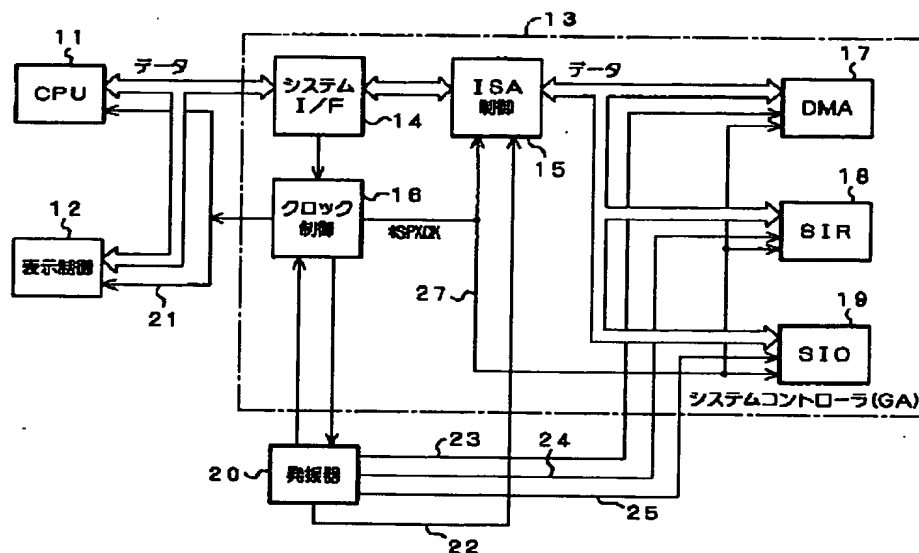
【図3】図2に示すクロック制御部の各部の信号タイミングを示すタイムチャート。

【図4】図3に示すクロック停止制御信号(SPXC K)を用いたクロック制御回路の構成を示す図。

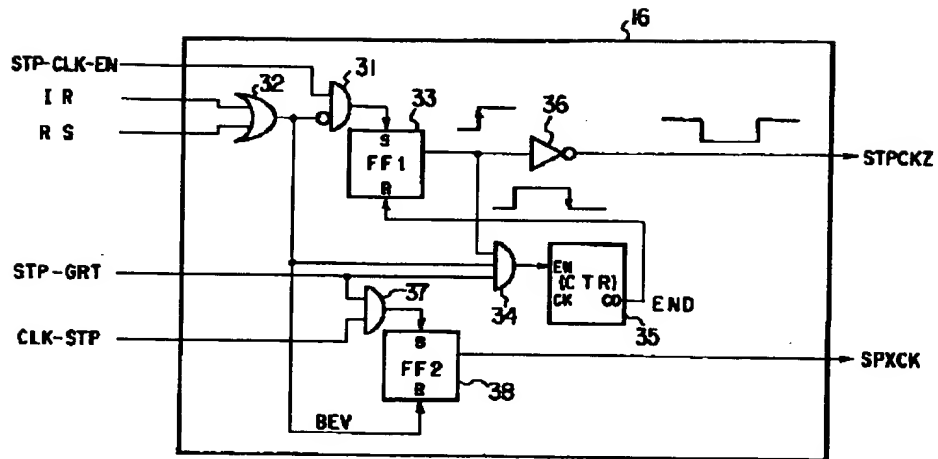
【符号の説明】

- 11…CPU、
- 12…表示制御部、
- 13…システムコントローラ、
- 14…システムインタフェース部、
- 15…ISAバス制御部、
- 16…クロック制御部、
- 17…DMAコントローラ(DMA)、
- 18…赤外線通信コントローラ(SIR)、
- 19…シリアルI/Oコントローラ(SIO)、
- 20…発振器、
- 21, 22, 23, 24, 25…クロック信号路、
- 26…クロック停止制御信号路、
- 31, 34, 37, 41, 42, 43, 44…アンドゲート、
- 32…オアゲート、
- 33…ストップグラント制御のためのフリップフロップ(F F1)、
- 36, 47…インバータ、
- 38…クロック停止制御のためのフリップフロップ(F F2)。

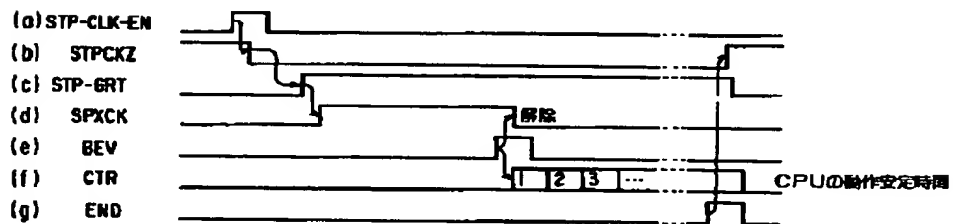
【図1】



【図2】



【図3】



【図4】

